

⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

$AE=AB$
⑫ Patentschrift
⑩ DE 195 37 920 C 2

⑲ Aktenzeichen: 195 37 920.9-32
⑳ Anmeldetag: 12. 10. 95
㉑ Offenlegungstag: 17. 4. 97
㉒ Veröffentlichungstag
der Patenterteilung: 19. 8. 99



Docket # 4630

⑮ Int. Cl.⁶
G 05 F 3/20

G 06 K 19/07
H 02 M 7/217

Inv.: Martin Fischer

=US- 5,825,214

DE 195 37 920 C 2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑬ Patentinhaber:
TEMIC Semiconductor GmbH, 74072 Heilbronn, DE

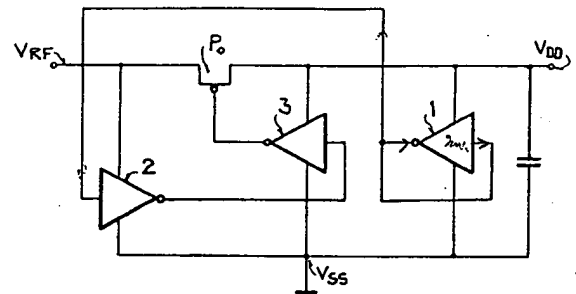
⑭ Erfinder:
Klosa, Klaus, 80337 München, DE

⑮ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

DE 41 19 553 C1
DE 43 26 423 A1
DE 34 00 973 A1

⑮ Integrierte Schaltungsanordnung mit Diodencharakteristik

⑮ Integrierte Schaltungsanordnung mit Diodencharakteristik mit einer im Strompfad (1) zwischen Eingangs- und Ausgangsseite angeordneten Source-Drain-Strecke eines ersten Transistors (P_0); mit einer ersten Inverterstufe (1) mit einem auf ihren Eingang zurückgekoppelten Ausgang, deren Spannungsversorgung durch die auf der Ausgangsseite der Schaltungsanordnung anliegende Spannung (V_{DD}) erfolgt; mit einer zweiten Inverterstufe (2), deren Eingang das Ausgangssignal der ersten Inverterstufe (1) zugeführt wird und deren Spannungsversorgung durch die auf der Eingangsseite der Schaltungsanordnung anliegende Spannung (V_{RF}) erfolgt; mit einer dritten Inverterstufe (3), deren Eingang das Ausgangssignal der zweiten Inverterstufe (2) zugeführt wird, deren Spannungsversorgung durch die auf der Ausgangsseite der Schaltungsanordnung anliegende Spannung (V_{DD}) erfolgt und deren Ausgangssignal der Gate-Elektrode des ersten Transistors (P_0) zugeführt ist und somit den Stromfluß im Strompfad (1) der Schaltungsanordnung steuert.



DE 195 37 920 C 2

USPS EXPRESS MAIL
EV 338 198 822 US
FEBRUARY 04 2004

Die Erfindung betrifft eine integrierte Schaltungsanordnung mit Diodencharakteristik.

Kontaktlose Identifikationssysteme bestehen aus einem Datenträger (Transponder) und einer Schreib-/Lese-Einheit. Die Kommunikation zwischen Datenträger und der Schreib-/Lese-Einheit erfolgt kontaktlos. Die Datenträger enthalten einen integrierten Schaltkreis, der seine Energie aus einem Hochfrequenzfeld über eine Spule bezieht. Über dieselbe Spule wird jedoch nicht nur die Versorgungsspannung des Schaltkreises erzeugt, sondern auch die Datenübertragung abgewickelt. Der Schaltkreis enthält den Datenspeicher und alle zur Abwicklung der Datenkommunikation benötigten Schaltungen. Außerdem muß aus der vom Schreib-/Lesegerät induzierten Spulenspannung die für den Schaltkreis erforderliche Energie mittels eines Gleichrichters gewonnen werden. Als Gleichrichter kann z. B. der in der DE 34 00 973 A1 beschriebene integrierte, beidseitig geschaltete Brückengleichrichter verwendet werden. Diese Gleichrichteranordnung weist den Vorteil auf, daß an den einzelnen Brückenelementen kein Spannungsabfall auftritt. Der beidseitig geschaltete Brückengleichrichter hat bei Verwendung von MOS-Transistoren jedoch den Nachteil, daß der Strom von der Gleichspannungsseite auf die Wechselspannungsseite zurückfließen kann. Deshalb muß an seinem Ausgang eine Diode oder ein als Diode geschalteter MOS-Transistor vorgesehen sein, der diesen Stromrückfluß verhindert. Eine Halbleiterdiode oder als ein Diode geschalteter MOS-Transistor haben jedoch mindestens einen Spannungsabfall von ca. 0,7 V.

Aus der DE 43 26 432 A1 ist eine Schaltungsanordnung mit Diodencharakteristik bekannt, bei der zwischen Eingangs- und Ausgangsseite die Source-Drain-Strecke eines ersten Transistors angeordnet ist. Diese Bekannte Schaltungsanordnung weist den Nachteil auf, daß entweder eine Hilfsspannungsquelle zum Betreiben einer Referenzstromquelle und eines Komparators vorhanden sein muß oder andererseits ein bipolarer Transistor erst bei einer Spannungsabfall von mindestens einer Basis-Emitterspannung, d. h. von ca. 0,6 V, zwischen Eingangs- und Ausgangsseite den ersten Transistor abzuschalten vermag.

Aufgabe der Erfindung ist es daher, eine Schaltungsanordnung der eingangs genannten Art anzugeben, mit der eine Stromrichtung ohne zusätzliche Hilfsspannungen erfolgen kann, sobald die ausgangsseitige Spannung die eingangsseitige übersteigt.

Die vorteilhafte Ausgestaltung der Schaltungsanordnung erfolgt gemäß den Merkmalen der Unteransprüche.

Kurze Beschreibung der Figuren:

Fig. 1 zeigt ein erstes Ausführungsbeispiel der Schaltungsanordnung mit Diodencharakteristik.

Fig. 2 zeigt das Ausführungsbeispiel gemäß Fig. 1 mit gegen Stromquellen arbeitenden Transistoren als Inverterstufen.

Fig. 3 zeigt die Anwendung der Schaltungsanordnung nach Fig. 1 zur Spannungsversorgung eines Identifikationsschaltkreises.

Die Fig. 1 zeigt ein erstes Ausführungsbeispiel der Schaltungsanordnung mit Diodencharakteristik gemäß der Erfindung. Die Schaltungsanordnung umfaßt einen im Strompfad angeordneten Feldeffekttransistor P_0 . Die geschaltete Source-Drain-Strecke übernimmt die Funktion einer Diode. Ist die eingangsseitige Spannung V_{RF} größer als die ausgangsseitige Spannung V_{DD} , so wird die Gateelektrode so angesteuert, daß der Transistor leitend wird und ein Strom

fließen kann. Ist das Spannungsverhältnis umgekehrt und die ausgangsseitige Spannung V_{DD} größer als die eingangsseitige Spannung V_{RF} , so wird die Gate-Elektrode so angesteuert, daß der Transistor sperrt und ein Stromfluß in die entgegengesetzte Richtung verhindert wird.

Die Ansteuerung der Gate-Elektrode des Transistors P_0 erfolgt durch drei hintereinandergeschaltete Inverterstufen 1-3. Eine erste Inverterstufe 1 erhält ihre Versorgungsspannung aus dem ausgangsseitigen Potential V_{DD} . Ihr Ausgang ist auf ihren Eingang zurückgekoppelt. Dadurch stellt sich am Ausgang bzw. am Eingang ein Signalpegel ein, der zwischen dem gemeinsamen Massepotential der Schaltungsanordnung V_{SS} und der ausgangsseitigen Spannung V_{DD} liegt. Das Ausgangssignal A der ersten Inverterstufe 1 wird dem Eingang einer zweiten Inverterstufe 2 zugeführt. Die Versorgungsspannung der zweiten Inverterstufe wird von der eingangsseitigen Spannung V_{RF} abgeleitet. Das Ausgangssignal B der zweiten Inverterstufe 2 wird dem Eingang einer dritten Inverterstufe 3 zugeführt. Die Versorgungsspannung der dritten Inverterstufe 3 wird aus der ausgangsseitigen Spannung V_{DD} abgeleitet. Das Ausgangssignal C der dritten Inverterstufe 3 wird der Gate-Elektrode des im Strompfad liegenden P-Kanal-MOS-Transistors P_0 zugeführt und bestimmt somit den Stromfluß im Strompfad der Schaltungsanordnung.

Durch die Gegenkopplung von Ausgang auf Eingang entsteht am Ausgang der ersten Inverterstufe 1 ein Signal, das etwa die Hälfte der ausgangsseitigen Spannung V_{DD} aufweist. Da die Spannungsversorgung der zweiten Inverterstufe 2 von der eingangsseitigen Spannung abgeleitet wird, reicht das Ausgangssignal A der ersten Inverterstufe nur dann zur Ansteuerung der zweiten Inverterstufe aus, wenn die ausgangsseitige Spannung V_{DD} größer als die eingangsseitige Spannung V_{RF} ist. Das Ausgangssignal B der zweiten Inverterstufe entspricht dann im wesentlichen dem gemeinsamen Massepotential GND, das dann durch die dritte Inverterstufe 3 nochmals invertiert wird. Da die Versorgungsspannung der dritten Inverterstufe aus der ausgangsseitigen Spannung V_{DD} abgeleitet wird, entspricht das Ausgangssignal C der dritten Inverterstufe im wesentlichen der ausgangsseitigen Spannung V_{DD} . Dieses Signal wird nun der Gate-Elektrode des im Strompfad liegenden P-MOS-Transistors zugeführt, der dementsprechend sperrt.

Ist die ausgangsseitige Spannung V_{DD} kleiner als die eingangsseitige Spannung V_{RF} , so entspricht das Ausgangssignal B der zweiten Inverterstufe 2 im wesentlichen der eingangsseitigen Spannung V_{RF} . Dieses Signal reicht aus, um die dritte Inverterstufe 3 anzusteuern. Das Ausgangssignal der dritten Inverterstufe entspricht dann im wesentlichen dem gemeinsamen Massepotential GND. Deshalb wird der im Strompfad liegende P-MOS-Transistor aufgesteuert und ein Strom kann von der Eingangsseite auf die Ausgangsseite fließen.

Durch eine geeignete unsymmetrische Dimensionierung der Inverter wird das Diodenverhalten hervorgerufen. Die unsymmetrische Dimensionierung führt zu dem Spannungsabfall entlang der Schaltungsanordnung von einigen Millivolt. Bei einem absolut symmetrischen Aufbau würde die Schaltung nicht funktionieren.

Die Fig. 2 zeigt die Schaltungsanordnung nach der Fig. 1 mit Inverterstufen, die durch gegen Stromquellen arbeitenden P-Kanal-Transistoren realisiert sind. Die Stromquellen werden von einer Stromspiegelschaltung, bestehend aus vier N-Kanal-Transistoren $N1-N4$, gebildet. Der erste Transistor der Stromspiegelschaltung $N1$ ist als Diode geschaltet und einerseits über den Widerstand R mit der eingangsseitigen Spannung V_{RF} und andererseits mit dem gemeinsamen Massepotential V_{SS} verbunden. Die Gate-Elektroden der vier

Transistoren der Stromspiegelschaltung N1-N4 sind miteinander und über den Widerstand R mit der eingangsseitigen Spannung V_{RF} verbunden.

Die erste Inverterstufe A wird von einem ersten P-Kanal-Transistor P1 zusammen mit dem vierten Transistor der Stromspiegelschaltung N4 gebildet. Der Ausgang der ersten Inverterstufe, der am Verbindungspunkt der beiden Transistoren liegt, ist auf die Gate-Elektrode des ersten Transistors P1, die dem Eingang der Inverterstufe entspricht, zurückgeführt. Die Reihenschaltung der Source-Drain-Strecken des ersten P-Kanal-Transistors P1 und des vierten Transistors N4 der Stromspiegelschaltung liegt zwischen der ausgangsseitigen Spannung V_{DD} und dem gemeinsamen Massepotential V_{SS} .

Die zweite Inverterstufe B wird von einem zweiten P-Kanal-Transistor P2 und dem zweiten Transistor der Stromspiegelschaltung N2 gebildet. Die Reihenschaltung der Source-Drain-Strecken der beiden Transistoren P2, N2 liegt zwischen der eingangsseitigen Spannung V_{RF} und dem gemeinsamen Massepotential. Der Eingang der zweiten Inverterstufe, die von der Gate-Elektrode des zweiten P-Kanal-Transistors gebildet wird, ist mit der Gate-Elektrode des ersten P-Kanal-Transistors verbunden. Der Verbindungspunkt zwischen dem zweiten P-Kanal-Transistor P2 und dem zweiten Transistor des Stromspiegels N2 entspricht dem Ausgang der zweiten Inverterstufe und ist mit dem Eingang der nachgeschalteten dritten Inverterstufe verbunden. Diese wird gebildet von einer Reihenschaltung aus einem dritten P-Kanal-Transistor P3 und dem dritten Transistor der Stromspiegelschaltung N3. Die Reihenschaltung ist einerseits mit der ausgangsseitigen Spannung V_{DD} und andererseits mit dem gemeinsamen Massepotential V_{SS} verbunden. Der Verbindungspunkt zwischen den beiden Transistoren ist mit der Steuerelektrode des Transistors P_0 verbunden, dessen Source-Drain-Strecke im Strompfad der Schaltungsanordnung liegt.

Durch eine geeignete unsymmetrische Dimensionierung der Transistoren wird das Diodenverhalten hervorgerufen. Die unsymmetrische Dimensionierung führt zu dem Spannungsabfall entlang der Schaltungsanordnung von einigen Millivolt. Bei einem absolut symmetrischen Aufbau würde die Schaltung nicht funktionieren.

Der Transistor P_0 ist leitend geschaltet, solange die ausgangsseitige Spannung V_{DD} kleiner ist als die eingangsseitige Spannung V_{RF} . Ist die ausgangsseitige Spannung V_{DD} größer als die eingangsseitige Spannung V_{RF} , so sperrt der Transistor P_0 und verhindert einen Strom in die Rückwärtsrichtung. Die Schaltungsanordnung weist somit eine Diodencharakteristik auf, mit der Ausnahme, daß entlang der geschalteten Strecke kein bzw. nur ein sehr kleiner Spannungsabfall auftritt.

Die Fig. 3 zeigt den Datenträger oder Transponder 10 eines Systems zur kontaktlosen Identifikation. Der Transponder 10 besteht aus einem Schwingkreis mit einer Spule L und einem Kondensator C und einem integrierten Schaltkreis 11. Der integrierte Schaltkreis weist zwei Anschlüsse auf, an denen der Schwingkreis angeschlossen ist. Die in der Spule durch ein, von einem Schreib-/Lese-Gerät erzeugten, externen Wechselfeld induzierte Wechselspannung wird durch den beidseitig geschalteten Brückengleichrichter 12 gleichgerichtet und über die elektronische Diode 13 dem Logik- und Speicherblock 14 des integrierten Schaltkreises 11 als Versorgungsspannung V_{DD} zugeführt. Die elektronische Diode 13 der Fig. 4 entspricht einer der in den Fig. 1 bzw. 2 gezeigten Schaltungsanordnungen. Der Schaltkreis wiederum bedämpft die Spule durch die parallelgeschaltete Last R so, daß die auszulesende Information zu dem externen Schreib-/Lese-Gerät übertragen wird. Der Schaltkreis

weist in seiner Eingangsschaltung weder am Gleichrichter 12 noch an der elektronischen Diode 13 einen nennenswerten Spannungsabfall auf. Dadurch kann die effektive Reichweite, innerhalb deren der Schaltkreis noch ausreichend mit Energie versorgt werden kann, drastisch vergrößert werden.

In der Schaltung nach dem Ausführungsbeispiel können die P- und N-Kanal-Transistoren vertauscht werden, wenn gleichzeitig die Vorzeichen der Potentiale invertiert werden, ohne daß eine neue, von der Erfindung nicht umfaßte Schaltungsanordnung entstände.

Patentansprüche

1. Integrierte Schaltungsanordnung mit Diodencharakteristik mit einer im Strompfad (1) zwischen Eingangs- und Ausgangsseite angeordneten Source-Drain-Strecke eines ersten Transistors (P_0); mit einer ersten Inverterstufe (1) mit einem auf ihren Eingang zurückgekoppelten Ausgang, deren Spannungsversorgung durch die auf der Ausgangsseite der Schaltungsanordnung anliegenden Spannung (V_{DD}) erfolgt; mit einer zweiten Inverterstufe (2), deren Eingang das Ausgangssignal der ersten Inverterstufe (1) zugeführt wird und deren Spannungsversorgung durch die auf der Eingangsseite der Schaltungsanordnung anliegenden Spannung (V_{RF}) erfolgt; mit einer dritten Inverterstufe (3), deren Eingang das Ausgangssignal der zweiten Inverterstufe (2) zugeführt wird, deren Spannungsversorgung durch die auf der Ausgangsseite der Schaltungsanordnung anliegenden Spannung (V_{DD}) erfolgt und deren Ausgangssignal der Gate-Elektrode des ersten Transistors (P_0) zugeführt ist und somit den Stromfluß im Strompfad (1) der Schaltungsanordnung steuert.
2. Integrierte Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die drei Inverterstufen (1 ... 3) durch gegen Stromquellen ($N2 \dots N4$) arbeitende Transistoren ($P1 \dots P3$) gebildet sind.
3. Integrierte Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß jede Inverterstufe aus der Reihenschaltung der Source-Drain-Strecken eines P-Kanal-Transistors ($P1 \dots P3$) und eines N-Kanal-Transistors ($N2 \dots N4$) besteht, daß der Verbindungspunkt von N-Kanal- und P-Kanal-Transistor den Ausgang des Inverters und die Gate-Elektrode des P-Kanal-Transistors den Eingang des Inverters bildet.
4. Integrierte Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß der P-Kanal-Transistor mit dem ausgangsseitigen Potential (V_{DD}) und der N-Kanal-Transistor mit dem gemeinsamen Massepotential verbunden ist.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

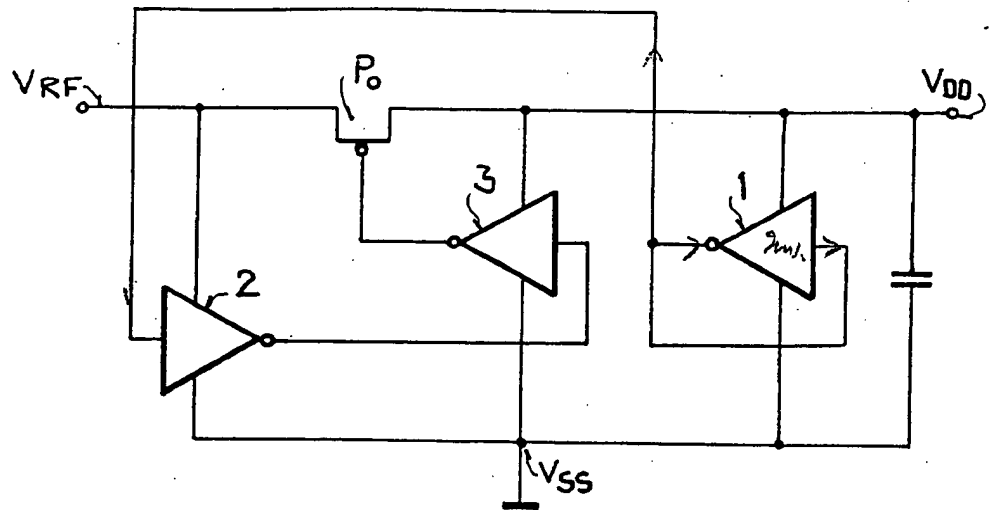


FIG. 1

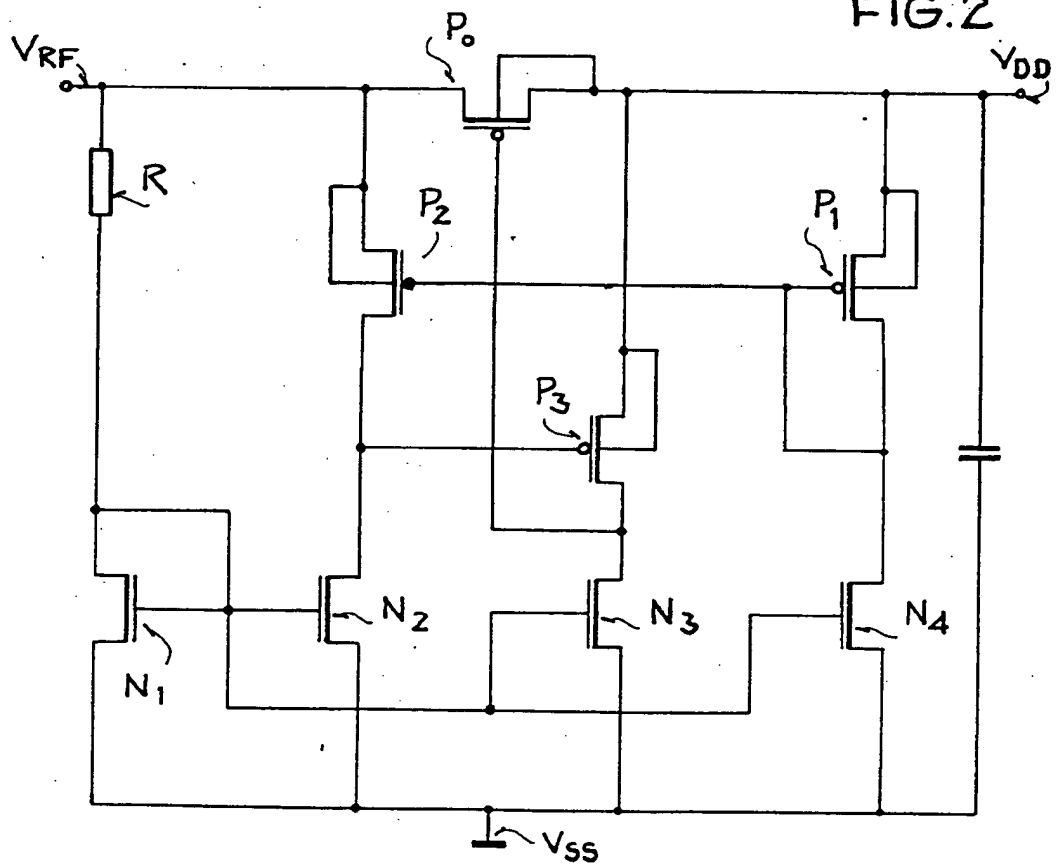


FIG. 2

